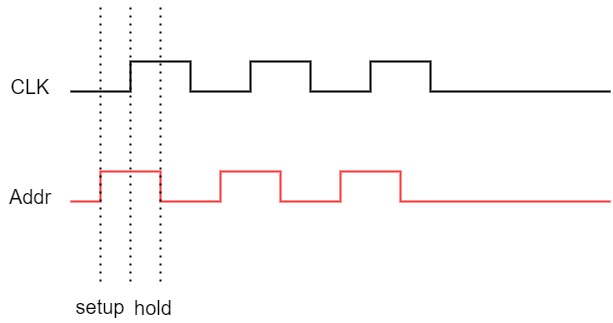
Setup Time and Hold Time

每個合成電路(Combinational Logic)之前會有一個接收器(Flip-flop)，這個接收器主要是負責接收Clock的信號。但是每個信號線的值要正確地傳遞給合成電路，必須在接收器接收到Clock的前後做好穩定的狀態，而這就是所謂的Setup Time和Hold Time。

考慮下面的信號: (亞穩態條件; Metastable)



當要將Addr信號值正確地傳給合成電路時，必須在CLK被拉起之前就先穩定地設置好信號，而這段時間就是所謂的Setup Time，而在CLK被拉起之後，Addr的信號值也要維持一段時間，這就是所謂的Hold Time，這樣才能完整正確地傳遞給合成電路。

時間誤差: (亞穩態現象)

若信號值沒有剛好符合Setup和Hold Time，則輸出的結果會是很亂的波形。

補充:

通常時脈會被儲存在一個暫存器裡，讓所有電路的時脈來源都是相同的。可以串接多個暫存器來降低亞穩態現象的機率。